

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-092745

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H01L 21/20
G02F 1/136
H01L 29/786
H01L 21/336

(21)Application number : 08-242782

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 13.09.1996

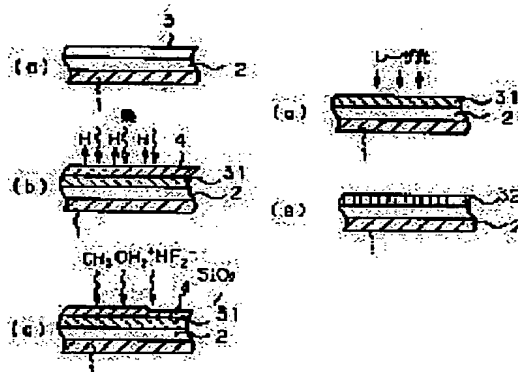
(72)Inventor : MATSUURA YUKI
MIHASHI HIROSHI
KAWAHISA YASUTO

(54) METHOD AND DEVICE FOR MANUFACTURING CRYSTAL SEMICONDUCTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the generation of unevenness on the surface of a polycrystal silicon film, caused by the existence of a native oxide, and enable satisfactory formation of an element by removing a native oxide on the surface of an amorphous semiconductor film formed on a substrate, and at the same time, irradiating the surface of the semiconductor with an energy beam.

SOLUTION: After a silicon oxide film as an undercoat layer 2 is formed on an insulating substrate 1, an amorphous silicon film 3 is formed on the silicon oxide film. Then, heat annealing is carried out on the amorphous silicon film, thus dehydrogenating the film. Thus, a native oxide 4 is formed on a polycrystal silicon film surface 31. Then, the natural oxide film 4 on the surface is removed by etching in a dry etching chamber, and the substrate on which etching is completed in a vacuum is transported into a laser annealing chamber, via a transfer chamber maintained in a vacuum. The amorphous silicon surface 31 is irradiated with a laser beam, thus forming a polycrystal silicon film 32 on the entire surface of the substrate.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 10-92745

(43) 公開日 平成 10 年 (1998) 4 月 10 日

(51) Int. Cl.	識別記号	P I
H 01 L 21/20	5 0 0	H 01 L 21/20
G 02 F 1/38		G 02 F 1/38
H 01 L 29/78		H 01 L 29/78
21/538		6 2 7 G

審査請求 未請求 請求項の数 3 O L (全 7 頁)

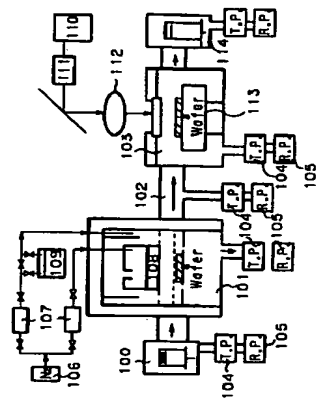
(21) 出願番号	特開平 9-242782	(71) 出願人	000003078 株式会社東芝
(22) 出願日	平成 8 年 (1996) 9 月 13 日	(72) 発明者	神奈川県川崎市幸区堀川町 72 番地 松浦 由紀
		(72) 発明者	神奈川県横浜市磯子区新磯子町 33 番地 株式会社東芝生産技術研究所内 三橋 浩
		(72) 発明者	神奈川県横浜市磯子区新磯子町 33 番地 株式会社東芝生産技術研究所内 川久 麗人
		(74) 代理人	弁理士 外川 英明 株式会社東芝生産技術研究所内

(54) 発明の名称 結晶半導体の製造方法および製造装置

(57) 要約

【課題】本発明は非晶質シリコン膜をレーザアニールにより結晶化させる技術を用いて、表面凹凸を A F M 測定による RMS 値 10 nm 以下に加えられた平坦な多結晶シリコン膜を得ることができ、低リーク電流、かつ絶縁破壊特性の良好な (ゲート電圧の高い) 高移動度多結晶シリコン TFT が提供できる。

【解決手段】本発明はアモルファスシリコン膜表面に形成された自然酸化膜をドライエッチングで除去した後、アモルファスシリコン膜をレーザアニールにより結晶化させることを特徴とし、ドライエッチングからレーザアニールの工程は真空一貫プロセスを用いて基板搬送を行いレーザアニールも 1×10⁻¹⁰ Torr 以下の真空中で行うことを特徴とする多結晶半導体の製造方法および製造装置である。



(1)

【特許請求の範囲】

【請求項 1】基板上に非晶質半導体膜を形成する工程と、前記非晶質半導体膜表面の自然酸化膜を除去する工程と、前記半導体膜表面に前記自然酸化膜が除去された状態で前記半導体膜表面にエネルギーを照射する工程とを具備することを特徴とする結晶半導体の製造方法。

【請求項 2】被処理基板を収容しこの被処理基板上に非晶質半導体膜を形成する第 1 のチャンパーと、前記非晶質半導体膜の表面の自然酸化膜を除去するドライエッチング手段と、前記非晶質半導体膜表面にエネルギーを照射する手段と、前記被処理基板を収容し前記非晶質半導体膜表面に前記エネルギーを照射可能な第 2 のチャンパーとを備え、前記第 1 のチャンパーと前記第 2 のチャンパーとを接続する真空系を具備することを特徴とする結晶半導体の製造装置。

【請求項 3】前記第 1 のチャンパー、前記第 2 のチャンパー、及び前記真空系の真空度は 1×10⁻¹⁰-1-P a 以下の到達真空度となる事を特徴とする請求項 2 に記載の結晶半導体の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、結晶半導体の製造方法および製造装置に関する。

【0002】

【従来の技術】近年、カラー液晶ディスプレイを始めとする入出力デバイスの高密度化、コンパクト化、低コスト化を実現する技術として、多結晶シリコン薄膜トランジスタ (以下多結晶シリコン TFT) が注目されている。多結晶シリコン TFT を用いて液晶ディスプレイを形成した場合、画素スイッチング用の TFT 以外に、高移動度動作が可能であることから駆動回路にも TFT を採用し、駆動回路一体形成ができ、駆動用の IC やその接続が不要となるという利点がある。

【0003】液晶ディスプレイへの適用では、無アルカリガラス等の基板上に多結晶シリコン TFT を形成するため、基板ダメージの少ない低温プロセスで多結晶シリコン膜を形成する技術が必要である。そこで、非晶質シリコン膜をレーザアニールにより結晶化させて多結晶シリコン膜を形成する方法がよく用いられる。この方法により形成した多結晶シリコン膜をチャネルに用いた TFT は、固相成長法や PVD で形成した多結晶シリコン膜を用いた TFT よりも高移動度であることが知られている。

【0004】図 5 に従来の多結晶シリコン薄膜の製造方法を示す。まず、ガラス基板 1 上にアンダーコート膜 2 を形成した後、基板温度 300℃以下の低温で非晶質シリコン膜 3 を形成する。この非晶質シリコン膜 3 は多量の水素を含んでいるため、結晶化のためのレーザアニールを行うと多量の水素放出に伴って膜アブレーションを生じる (図 5 (a))。

【0005】ついで、結晶化のためのレーザアニール前に水素脱離を目的とした熱アニールを行う。熱アニール 450℃、1h を行うと、多結晶シリコン膜表面には 10Å 程度の自然酸化膜 4 が形成される。ここで、3 l は水素素されて水素濃度が 5×10¹⁰/cm³ となった非晶質シリコン膜である (図 5 (b))。

【0006】次に、非晶質シリコン膜をレーザアニールして S i を同時に加熱し結晶化させる (図 5 (c))。最後に、自然酸化膜 4 をエッチング除去してガラス基板上に形成した多結晶シリコン膜を完成する (図 5 (d))。

【0007】このように、非晶質シリコン膜を成膜した後、大気中に晒したり、もしくは熱アニールを行うと、非晶質シリコン膜表面に自然酸化膜 (最大厚 15Å) が形成される。従来では、レーザアニール前にこの表面自然酸化膜を除去してはなかったため、S i が溶解した後に固化する際に酸素原子や不純物原子が一部に凝集し、得られた多結晶シリコン膜表面には、多結晶シリコン膜厚 50 nm に対して 10~30 nm 以上の凹凸が生じた。この表面荒さを A F M を用いて測定した RMS S 値 (平均二乗偏差) で示したのが図 3 である。このような表面自然酸化膜の影響によって発生した凹凸を持つ多結晶シリコン膜を活性層とした TFT を作製した場合、特に多結晶シリコン膜表面凹凸がチャネルとなる構造で TFT を作製した場合にはゲート S i O x / p o l y - S i 界面に存在する 10~30 nm の突起のために、TFT のゲート絶縁層が劣化するという問題があった。

【0008】

【発明が解決しようとする課題】従来の製造方法は、非晶質シリコン膜をレーザアニールして結晶化させる場合、膜表面の自然酸化膜が存在する非晶質シリコン膜を用いると、酸素原子や表面の不純物の凝集により得られた多結晶シリコン膜表面に A F M 測定値の RMS 値 10~30 nm の凹凸が生じるため、素子の形成に不都合を生じ、例えばこのような膜を用いて多結晶シリコン TFT を形成すると、絶縁破壊特性が劣化するという問題が生じた。

【0009】本発明は、上記問題点に鑑みて成されたもので、自然酸化膜の存在に起因して発生する多結晶シリコン膜表面の凹凸の発生を除去し、良好な素子形成を可能とする高品質結晶半導体の製造方法及び製造装置を提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するため、請求項 1 の発明は基板上に非晶質半導体膜を形成する工程と、この非晶質半導体膜表面の自然酸化膜を除去する工程と、前記半導体膜表面に前記自然酸化膜が除去された状態で前記半導体膜表面にエネルギーを照射する工程とを具備することを特徴とする結晶半導体の製造

方法を提供するものである。ここで、基板は、ガラスやセラミックス等の絶縁性基板の他に、シリコンなどの半導体基板であっても良いし、この半導体基板上にシリコン酸化膜、チッ化シリコン膜などを形成した様な基板であっても良い。また、金属シリコン膜上に酸化シリコン、チッ化シリコンなどの絶縁膜を形成したような基板であっても良い。更に、半導体は、シリコンに限るものではなく、他のⅣ族半導体例えばGe、C等でも良いし、化合物半導体例えば、GaAs、SiGe等であっても良い。さらに、エネルギービームは、レーザービーム以外に、電子ビームであっても良い。

[0011] また、請求項1の発明は、被処理基板を収容しこの被処理基板上に非晶質半導体膜を形成する第1のチャンパーと、前記非晶質半導体膜の表面の自然酸化膜を除去するドライエッチング手段と、前記非晶質半導体膜露出面にエネルギビームを照射する手段と、前記被処理基板を収容し前記第2のチャンパーとを備え、前記第1のチャンパーと前記第2のチャンパーとを接続する真空系を具備することを特徴とする結晶半導体の製造装置を提供するものである。

【0012】さらに、請求項3の発明は、請求項2の発明において、前記第1のチャンバー、前記第2のチャンバー、及び前記真空系の真空度は 1×10^{-1} Pa以下の到達真空度となる事を特徴とする結晶半導体の製造装置を提供するものである。

【0013】特に、請求項1において、前記非晶質シリコン膜には、プラズマCVD法により基板温度270℃で形成して水素濃度2at.%以上を含むものを用い、レーザアニール処理を施すことにより結晶化時のレーザエネルギー密度を高くしても膜アレーションが生じないため、多結晶シリコンの結晶粒度を大きくすることが可能となるため、多結晶シリコンTFTの移動度を向上させることができる。

【0014】特にまた、請求項1において、ドライエッチング機材に無水HF/CH₃OHペーパークリニングを用いることで、表面のパーテイクルやカーボン、酸素などの異質不純物を減少させることができるため、溶液中に多結晶シリコン層中にそれらが混入することのない多結晶シリコンTFTの移動度、Sファクターを向上させることができる。

【0016】さらに特に、請求項1において、ドライエッチング機構は紫外光照射F2ガスによる自然酸化膜除去機構を用いることにより、シリコン表面を水素により鈍化できるため、表面汚染が少なくなるため上記と同様にTFET特性を向上させることができる。

【0016】
【発明の実施の形態】本発明は、非晶質半導体膜表面の自然酸化膜を除去するしくはドライエッチングで除去した後、除去からエネルギービーム照射膜もしくはレーザ

アニールの間は大気には耐えないようにして表面酸化被膜のない非晶質半導体膜を真空蒸着もしくは 1×10^{-10} Torr以下の真空中でエネルギービームアニールを行い、多結晶半導体や微結晶半導体などの結晶半導体に成長させることを特徴とする製造方法および製造装置の提供を旨とする。この様な製造方法においては製造装置で形成した TFT やダイオード等の施装素子の性能向上を図ることができ。

【0017】以下、図まゝの態様で説明すると、本発明の製造方法ではレーザアニール前に自然酸化膜を除去して、その酸化膜除去工程からアニール工程まで大気に行なわれたため、膜表面に酸化膜がない状態を保ったままレーザアニールして多結晶シリコン膜を結晶化できる。それによって、酸素原子を表面不純物（カーボン、ボロ）などの媒材による表面汚点を10 nm以下に抑えられた多結晶シリコン膜が得られ、低リーク電流で、かつ絶縁破壊特性の良い（ゲート電圧の高い）高移動度多結晶シリコンTFTが得られる。

【0018】以下に、本発明を実施例に於て説明する。
 (実施例1) 図1に、本発明の製造装置を示す。図1に示す如く、ローディングチャンバー100、酸化膜101、ライエッチングチャンバー101、トランスファーチャンバー102、および芽置シリコン膜を結晶化させるためのレーザアニールチャンバー103を備えており、それらのチャンバーに真空ポンプが接続された構造である。真空ポンプには、ターボポンプ104とその背圧を引くためのロータリーオイルポンプ105が接続される。これによって、それぞれのチャンバーは 1×10^{-4} Pa以下の真空に保たれる。真空度が 1×10^{-4} Paより高い場合、自然放熱を除去した後、レーザアニール終了時までにかかると時間が最大30分かかるため、その間に放熱の自然放熱が形成されてしまう。

【0019】ドライエッチング法には、無水HF/HF/CH₃OHペーパーリニウムエッチング法を用いることができる。これはエッチングとしてHFとCH₃OHの混合ペーパーエッチングガスとしてHFとCH₃OHの混合ペーパーとCH₃OHペーパーをエッチングチャンバーに流がることにより、非晶質シリコン表面の自然酸化膜(SiO₂x膜)を除去する方法である。チャンバー内で活性種HF-FIが生成され、SiO₂xと反応してSiF₄としてSiO₂xがエッチングできる。エッチング反応によって、HF/HF/OHの過剰が、非晶質シリコン表面とともに排気される。さらに、エッチング処理後、非晶質シリコン表面に残留するカーボン汚染の量も低減できる。窒素ガスの流速はマズフローコントローラー107を用いて制御される。HF/CH₃OHおよびCH₃OHガスは、HF/CH₃OH108およびCH₃OH109溶液を用いる。そのペーパーの過剰排出は、排液の過剰排出に等しい。

それぞれH F 3.8、5.1%とCH₃OH 6.1、5.1%が用いられる。エッチングレートは、密着剤量およびCH₃OH濃度によって制御される。密着剤量を増加させれば、H F濃度が増大するため、エッチングレートは速くなる。自然酸化膜をエッチングする場合の最適条件としては、密着剤量はH F/CH₃OH値1SLM、CH₃OH値9SLMに設定した。非晶質シリコン表面の酸化シリコンのエッチングレートは1.5nm/minであった。

【0020】このようにH₂F/CH₃OHペーパーエッチングでは、ドライ工程によって表面の洗浄効果を含み、パー103の真空度は 1×10^{-4} レオアに設定する。レオアニール前に自然酸化膜が形成されることに起因したレオアニール密着剤の不純物（例えば、炭素、酸）の混入を防ぐために、真空度は 1×10^{-4} レオA以下に設定する。パー110には、XeClエキシマレーザー等のレーザーを用いる。レオAでは、フライインズと呼ばれるビームホモジナイザー11、集光レンズ112を介して非弾性シリコン表面に照射される。基板はレーザー光を反射できる。基板全面にレーザー光を照射できる。

【0022】 本発明の製造装置を用いることにより、酸化除去工程と次工程でレーザアニールされて結晶化されるまで、非晶シリコン膜表面は大気下に晒されることはない。よって、自然酸化層が除去された状態の非晶シリコン膜をレーザ結晶化できるという利点がある。

等の絶縁基板 1 上に、アンダーコート膜 2 として酸化シリコン膜を形成した後に、前記酸化シリコン膜上に非晶質シリコン膜 3 を形成する。前記酸化シリコン膜および非晶質シリコン膜 3 は、プラズマ CVD、減圧 CVD 等の CVD 法により堆積させる。非晶質シリコン膜 3 は S_iH₄ と H₂ ガスを用いて、基板温度 270°C で成膜し、膜厚は 60 ± 10 nm の範囲で設定する。このようにして成膜すれば、基板にガラス基板を用いることができる。コストを低減につなげる。しかし上述のように低温で形成した非晶質シリコン膜に、数 a. % 以上の水素を含んでいないため、このままレーザアブレーションを行うと膜アブレーションが生じて結晶性の良い多結晶シリコン膜が得られない(図 2 (a))。

【0023】について、非晶質シリコン膜成膜後、4.50℃、3.1hの熱アニールを施して、膜中の水素を脱着させることが望ましい。この熱アニールによって多結晶シリコン膜表面3.1には、約5〜15Åの自然酸化膜が形成されてしまう。この熱アニールを行わなくても良いが、CV法後に非晶質シリコン膜3を大気中に晒すことによっても同様に自然酸化膜4は形成される(図2(b))。

後、図1に示したローディングチャンパー100に基板1をチャージして真空に引く。図1に示した装置では、ローディングチャンパー100には厚さ基板厚10枚がチャージできるようになっており、枚数式に基板を処理できるよようになっている。 1×10^{-4} Pa以下になった後、次のドライエッチングチャンパー101に基板を搬送する。そして、N2流量調整を行い、所望の条件になったら、エッチングを開始する。ドライエッチングチャンパー101において、表面の自然酸化膜4を上記の方法、条件において除去する。非晶質シリコン膜表面31に形成される自然酸化膜4の厚さは最大1.5 nmであるため、エッチング時間は2分としてオーバーエッチングめ、エッチングを終えたら、N2ガスの流れを止め、再度真空に引くことにより、残留ガスを十分に取り除く(図2(c))。

【0026】次に、真空中のままエッチング処理を終了した基板を真空 (1×10^{-10} Pa) に保たれたトランスファアークチャンバー102を介してレーザアークチャンパー103に搬送してレーザアニール処理を行う。例えば、2mmφビームを200 μ mピッチで照射できるよう、基板の移動速度を非偏置レーザ周波数は100 \sim 200 Hzで設定し、非偏置レーザ鏡面31でのエネルギーを200 \sim 400 mJ/cm²の間で設定し、レーザビームを照射する(図2(d))。

【0026】上述したレーザー照射によって基板全面の非晶質シリコン膜31を結晶化させ、多結晶シリコン膜32を得る。多結晶シリコン膜32のグレインサイズは、400nm以下であることが望ましい。400nm以下ではサイズが小さいため、移動度が低下してしまふ。一方、1μmを越えると、多結晶シリコン結晶粒内に多数の欠陥(晶間欠陥)が形成され、キャリアのトラップとなるため、TFT特性形式はON電流(移動度)、Sパラクターは劣化する(図2(e))。

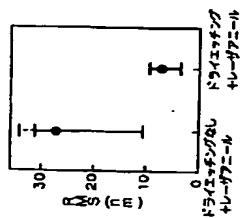
【0027】本発明を用いて得られた多結晶シリコン膜の表面観察を行った結果を図3に示した。表面凹凸は、AFMを用いて測定した。測定に用いた多結晶シリコン膜は、膜厚50nmの非晶質シリコン膜をレーザエッチングして得られた。レーザ照射エネルギーは350mJ/cm²である。そのグレインサイズは600nmである。図3に、AFM測定したRMS（平均二乗根）を示したが、自然酸化層は除去する処理を行わずに、レーザエッチングしたシリコン膜の表面を観察した。比較として、上

ザアニールして得られた多結晶シリコン膜を測定した。非晶質シリコン膜表面処理の状態でレーザアニールを行って結晶化した多結晶シリコン膜表面のRMSは1.0 nm \pm 0.20 nmであり、これに対して、本発明を用いて得られた多結晶シリコン膜表面のRMSは1.0 nmよりも小さくなることがわかった。

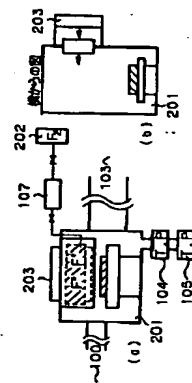
(5)

(7)

【図3】



【図4】



【図5】

